

# MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

Publication number: JP10233505

Publication date: 1998-09-02

**Inventor:** YAMAMOTO NAOKI; MATSUOKA HIDEYUKI; TAKEDA KENICHI

Applicant: HITACHI LTD

**Classification:**

- international: H01L21/28; H01L21/8247; H01L27/115; H01L29/78;  
H01L29/788; H01L29/792; H01L21/02; H01L21/70;  
H01L27/115; H01L29/66; (IPC1-7): H01L29/78; H01L21/28;  
H01L21/8247; H01L27/115; H01L29/788; H01L29/792

- European:

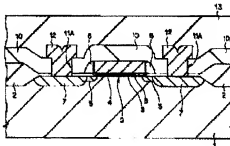
Application number: JP19970037300 19970221

Priority number(s): JP19970037300 19970221

[Report a data error here](#)

Abstract of JP10233505

**PROBLEM TO BE SOLVED:** To provide a semiconductor device of MOS characteristics with high stability which is so low resistant as the gate electrode of single metal with no such problem of polycrystalline silicon gate electrode as characteristics degradation due to such impurity inclusion as platinum, silicon, etc. The object of the present invention is achieved by the following manufacturing a semiconductor device comprises a process where a gate oxide film 3 is formed on the surface of semiconductor substrate, a process where a gate electrode 4 is formed on the surface of gate oxide film 3 using nitride of such metal as tungsten, molybdenum, chromium, tantalum, niobium, and vanadium, and a process of forming a surface layer of such metals and metal nitrides, and a process for thermal treatment thereafter.



Data supplied from the *esp@cenet* database - Worldwide

## Family list

1 family member for: JP10233505  
Derived from 1 application

[Back to JP10233505](#)**1 MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE****Inventor:** YAMAMOTO NAOKI; MATSUOKA HIDEYUKI; **Applicant:** HITACHI LTD

(+1)

**EC:****IPC:** H01L21/28; H01L21/8247; H01L27/115 (+13)**Publication info:** JP10233505 A - 1998-09-02Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

特開平10-233505

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl. <sup>6</sup>	識別記号	F I	
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G
21/28	3 0 1	21/28	3 0 1 R
27/115		27/10	4 3 4
21/8247		29/78	3 7 1
29/788			

審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く

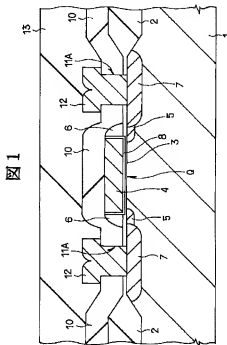
(21) 出願番号	特願平9-37300	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成9年(1997) 2月21日	(72) 発明者	山本 直樹 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	松岡 秀行 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	武田 健一 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(74) 代理人	弁理士 秋田 収喜

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 単体金属からなるゲート電極と同程度に低抵抗で、かつ多結晶シリコンゲート電極で問題となる銅などの含有不純物による特性劣化などの問題がない安定性の高いMOS特性を持つ半導体装置を実現する。

【解決手段】 半導体装置の製造方法において、半導体基板の表面上にゲート酸化膜3を形成する工程と、前記ゲート酸化膜3の表面上に、タンタステン、モリブデン、クロム、タンタル、ニオブ、バナジウムなどの金属の窒化物あるいはこれらの金属および金属窒化物の複合でゲート電極4を形成する工程と、その後、熱処理を施す工程を備える。



#### 【特許請求の範囲】

【請求項1】 半導体基板の表面上にゲート酸化膜を形成する工程と、前記ゲート酸化膜の表面上に、タングステン、モリブデン、クロム、タンタル、ニオブ、バナジウムなどの金属の窒化物あるいはこれらの金属および金属窒化物の複合物でゲート電極を形成する工程と、その後、熱処理を施す工程を備えたことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板の表面上にゲート酸化膜を介してゲート電極が形成されたMOSFETを有する半導体装置の製造方法であって、前記ゲート酸化膜の表面上に、タングステン、モリブデン、クロム、タンタル、ニオブ、バナジウムなどの金属の窒化物あるいはこれらの金属および金属窒化物の複合物でゲート電極を形成する工程と、その後、熱処理を施す工程を備えたことを特徴とする半導体装置の製造方法。

【請求項3】 前記熱処理を施す工程の前に、少なくとも前記ゲート電極の側面を覆う絶縁膜を形成する工程を備えたことを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項4】 前記熱処理を施す工程の後に、前記ゲート電極の周囲のゲート酸化膜を除去する工程と、その後、還元性ガスに酸化性ガスを添加した雰囲気中で熱処理を施す工程を備えたことを特徴とする請求項1乃至請求項3のうちいずれか1項に記載の半導体装置の製造方法。

【請求項5】 半導体基板の表面上にゲート酸化膜を介して浮遊ゲート電極が形成され、前記浮遊ゲート電極の表面上に層間酸化膜を介して制御ゲート電極が形成されたMOS型不揮発性記憶素子を有する半導体装置の製造方法であって、タングステン、モリブデン、クロム、タンタル、ニオブ、バナジウムなどの金属の窒化物あるいはこれらの金属および金属窒化物の複合物で浮遊ゲート電極を形成する工程と、その後、熱処理を施す工程を備えたことを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板の表面上にゲート酸化膜を介して浮遊ゲート電極が形成され、前記浮遊ゲート電極の表面上に層間酸化膜を介して制御ゲート電極が形成されたMOS型不揮発性記憶素子を有する半導体装置の製造方法であって、タングステン、モリブデン、クロム、タンタル、ニオブ、バナジウムなどの金属の窒化物あるいはこれらの金属および金属窒化物の複合物で浮遊ゲート電極及び制御ゲート電極を形成する工程と、その後、熱処理を施す工程を備えたことを特徴とする半導体装置の製造方法。

【請求項7】 前記熱処理を施す工程の前に、少なくとも前記浮遊ゲート電極、制御ゲート電極の夫々の側面を覆う絶縁膜を形成する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項8】 前記熱処理を施す工程の後に、前記浮遊

ゲート電極の周囲のゲート酸化膜を除去する工程と、その後、水素に水分を添加した雰囲気中で熱処理を施す工程を備えたことを特徴とする請求項5乃至請求項7のうちいずれか1項に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、特に、半導体基板の表面上に酸化膜からなるゲート絶縁膜を介してゲート電極が形成されたMOS型素子を有する半導体装置に適用して有効な技術に関するものである。

##### 【0002】

【従来の技術】 集積回路の高集積化が進むと共に、それを構成するMOSFET (Metal Oxide Semiconductor Field Effect Transistor) も微細化されている。これに伴いMOSFETのゲート電極幅(ゲート長方向の幅)も微細化されるため、ゲート電極の抵抗が増大し、高速で高性能な集積回路を設計するのが難しくなっている。特に、多結晶シリコン膜からなるゲート電極は抵抗が高いため、その低抵抗化技術が高速高集積回路を実現するための鍵となっている。その技術の1つとして、多結晶シリコン膜上にチタン膜やコバルト膜を形成し、これらの金属膜と多結晶シリコン膜とを反応させて低抵抗の金属珪化物(シリサイド)を形成する技術、即ち自己整合シリサイド技術が広く検討されている。

##### 【0003】

しかしながら、近年、ゲート電極幅が0.5[μm]程度以下に微細化されると、ゲート電極幅が広い場合に得られていたほど、チタンシリサイドの抵抗自体が低くならないことが知られるようになり、この対策技術はこれらのシリサイドよりもさらに低抵抗のゲート電極を実現する技術の開発が必要になってきた。そこで、多結晶シリコン膜上に設ける金属膜としてタングステンを、タングステンをシリコンに反応させないでそれ自体の低抵抗を利用する目的で、タングステン膜と多結晶シリコン膜との間にシリサイド反応を防止するためのタングステンやチタンの窒化物層を設けたゲート電極が検討されている。

##### 【0004】

一方、フラッシュメモリのように、浮遊ゲート電極とゲート酸化膜の界面近傍に電荷を蓄積させるMOS型不揮発性記憶素子では、界面電荷トラップなどが少なく安定なMOS電気特性が得られることで知られている。膜(P)などの不純物を含有させた多結晶シリコン膜をゲート電極に用いるのが一般的である。また、メモリの高集積化に伴い、ゲート酸化膜(ゲート絶縁膜)の薄膜化が進むと共に、ゲート酸化膜の電気的欠陥が健在化する。この対策として、ゲート酸化膜を窒化する方法が検討されている。

##### 【0005】

【発明が解決しようとする課題】 前述の金属-金属窒化物-シリコン構造は、金属層だけで形成した場合と同

の低抵抗のゲート電極を形成できる長所がある。しかし、このゲート電極は三つの層を重ねて構成されているため層の厚さが厚くなる共に、各層のドライエッチング特性（例えば、エッチングに用いる反応ガス、エッチング速度など）が異なるため、数十あるいは数百ナノメートル幅の極微細なゲート電極になると加工するのが難しくなってくる。

【0006】一方、極薄ゲート酸化膜を用いるMOS型トランジスタでは、通常の熱酸化で形成したゲート酸化膜に窒化処理（窒素雰囲気中アニール）を行うことにより、ゲート酸化膜のリーク電流特性を改善する手法がとられる。また、この処理はフラッシュメモリなどにおける情報の書き込み、読み出し時に電氣的ストレスにより生じる電子あるいはホールなどの電荷トラップの低減に役立つ。しかし、多結晶シリコンをこれらの素子のゲート電極（例えばフラッシュメモリの浮遊ゲート電極など）に用いた場合、この層に含まれている燐などの不純物が熱工程でその周囲の酸化膜内に拡散し、これらの不純物がMOS素子動作時に界面での電子やホールなどのトラップの生成を加速させ、前述のゲート酸化膜の窒化による電荷保持特性の改善効果を損なうという問題がある。

【0007】また、多結晶シリコンを浮遊ゲート電極として用いる場合、浮遊ゲート電極とその上層の制御ゲート電極との間に熱酸化法或は化学蒸着（CVD:Chemical Vapor Deposition）法によりシリコン酸化膜からなる層間酸化膜が形成される。この場合、シリコン酸化膜と浮遊ゲート電極の界面を窒化するのが難しいため、浮遊ゲート電極とその上層の制御ゲート電極との間で生じる電荷潮流が大きく、メモリ機能が劣化する問題がある。

【0008】本発明の目的は、重ね構造に起因した微細ゲート電極加工の困難さがなく、かつ多結晶シリコンにドーパされた不純物によるゲート電極と絶縁膜界面でのトラップの生成が少なく、さらにフラッシュメモリなどの浮遊ゲート電極とその上層の制御ゲート電極との間で生じるリーク電流の少ないMOS型デバイスを提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0011】ゲート電極材料として、高融点金属の窒化物、特に、タングステン、モリブデン、クロム、タンタル、ニオブ、バナジウムなどの金属からなる窒化物を用いることにより本発明の目的は達成される。

【0012】シリコン酸化膜上にこれらの金属窒化物を

形成し、高温の熱処理を加えると窒素が離脱し、窒素をほとんど含有せず、金属単体の膜と同程度の低抵抗の金属膜を形成できる。また、金属に含有していた窒素は、熱処理によりこの金属膜の下地表面方向や膜上方向など、前記金属窒化物の周辺に拡散し、金属層周囲の物質を窒化する。これらの現象を利用することにより、従来の三層重ね合わせ構造のゲート電極や多結晶シリコンゲート電極の欠点を無くしたMOS型素子を実現できる。

【0013】具体的には、単結晶シリコンからなる半導体基板の表面に極薄の酸化シリコン(SiO<sub>2</sub>)からなるゲート酸化膜を形成し、その後、前記ゲート酸化膜上に、前述の金属の窒化物を直接形成し、これを所望のゲート電極形状に加工する。この場合、単層膜を加工するだけなので、先に述べたような三層重ね構造におけるような微細加工上の問題点が無く、0.5[μm]以下の微細幅のゲート電極を容易に形成できる。ゲート電極上に層間絶縁膜を形成し、その後、400ないし500[°C]程度以上の高温で熱処理をすると、窒化物に含有されていた窒素がゲート電極の周囲まで拡散し、周囲の絶縁膜内に窒化物層を形成するため、従来の窒化ゲート酸化膜と同様にゲート電極との界面での電荷トラップの少ないゲート酸化膜を形成することができる。また、この熱処理で金属窒化物は窒素のほとんど含有されていない金属層になり、単体金属と同程度の低い抵抗を持つゲート電極を形成できる。さらに、このゲート電極は多結晶シリコンのように燐(P)、ボロン(B)あるいは砒素(As)のような不純物を含有していないため、ゲート電極とゲート酸化膜の界面での不純物に起因したトラップの生成が少ない。また、このゲート電極をフラッシュメモリなどの浮遊ゲート電極に応用すれば、ゲート酸化膜との界面における電荷トラップが少なく、かつその上層の制御ゲート電極との間の層間酸化膜も窒化できるため、層間のリーク電流を少なくできる。

【0014】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0015】なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0016】（実施形態1）図1は、本発明の実施形態1であるMOSFETを有する半導体装置の要部断面図である。

【0017】図1に示すように、本実施形態の半導体装置は、例えば単結晶シリコンからなるp型半導体基板1を主体に構成されている。このp型半導体基板1の素子形成領域の表面にはMOSFETQが構成されている。素子形成領域は、p型半導体基板1の素子分離領域の表面に形成されたフィールド絶縁膜2で周囲を規定され、他の活性領域と電気的に分離されている。

【0018】前記MOSFETQは、主に、チャネル形

成領域であるp型半導体基板1、ゲート絶縁膜であるゲート酸化膜3、ゲート電極4、ソース領域及びドレイン領域である一対のn型不純物拡散領域5及び一対のn型不純物拡散領域7で構成されている。

【0019】前記ゲート酸化膜3は、p型半導体基板1の素子形成領域の表面を酸化して形成されたシリコン酸化膜で形成されている。このゲート酸化膜3とゲート電極4との間には窒化物層8が形成されている。

【0020】前記ゲート電極4は、p型半導体基板1の素子形成領域の表面上にゲート酸化膜3を介在して形成されている。このゲート電極4は、後で詳細に説明するが、p型半導体基板1の素子形成領域の表面に熱酸化処理を施してゲート酸化膜3を形成し、その後、前記ゲート酸化膜3の表面上にタングステン窒化膜を形成し、その後、前記タングステン窒化膜にパターンニングを施し、その後、熱処理を施すことにより形成される。

【0021】前記ソース領域及びドレイン領域である一対のn型不純物拡散領域5及び一対のn型不純物拡散領域7は、p型半導体基板1の素子形成領域の表面部に形成されている。一対のn型不純物拡散領域5の夫々は、ゲート電極4に対して自己整合で形成されている。一対のn型不純物拡散領域7の夫々は、ゲート電極4の側面を覆うサイドウォールスペーサ6に対して自己整合で形成されている。一対のn型不純物拡散領域7の夫々は、n型不純物拡散領域5に比べて高い不純物濃度で形成されている。

【0022】前記サイドウォールスペーサ6は、ゲート電極4を含むp型半導体基板1上の全面にシリコン酸化膜を形成した後、前記シリコン酸化膜に異方性エッチングを施すことにより形成される。このサイドウォールスペーサ6とゲート電極4の側面との間には窒化物層8が形成されている。

【0023】前記ソース領域及びドレイン領域である一対のn型不純物拡散領域7のうち、一方のn型不純物拡散領域7には層間絶縁膜10に形成された接続孔11Aを通して配線12が電気的に接続され、他方のn型不純物拡散領域7には層間絶縁膜10に形成された接続孔11Bを通して配線12が電気的に接続されている。配線12は、層間絶縁膜10上に形成されたパッシベーション膜で覆われている。

【0024】次に、前記MOSFETQを有する半導体装置の製造方法について、図2乃至図7（製造方法を説明するための断面図）を用いて説明する。

【0025】まず、単結晶シリコンからなるp型半導体基板1を用意する。

【0026】次に、前記p型半導体基板1の素子分離領域の表面に周知の選択酸化法を用いてシリコン酸化膜からなるフィールド絶縁膜2を形成する。

【0027】次に、酸化処理を施し、前記p型半導体基板1の素子形成領域の表面に厚さ10 [nm]のシリコ

ン酸化膜からなるゲート酸化膜3を形成する。

【0028】次に、図2に示すように、前記ゲート酸化膜3の表面上を含むp型半導体基板1上の全面に厚さ100 [nm]のタングステン窒化膜4Aを形成する。このタングステン窒化膜4Aは、スパッタ装置を使用し、窒素ガス雰囲気中においてタングステンターゲットをスパッタリングすることにより形成される。

【0029】次に、前記タングステン窒化膜4Aの表面上の全面にフォトリソレジスト膜を形成し、その後、前記フォトリソレジスト膜に電子ビーム露光装置を用いて露光処理を施し、前記タングステン窒化膜4Aの所定の領域上に0.15 [μm]幅のレジストパターン15を形成する。

【0030】次に、前記レジストパターン15をエッチングマスクとして使用し、前記タングステン窒化膜4Aに異方性エッチングを施して、図3に示すように、ゲート電極4を形成する。異方性エッチングは、SF<sub>6</sub>系ガスをを用いたドライエッチング法で行う。この後、前記レジストパターン15をアッシング装置を用いて除去する。

【0031】次に、前記ゲート電極4を不純物導入用マスクとして使用し、前記p型半導体基板1の素子形成領域の表面部にn型不純物として例えば1×10<sup>14</sup> [atoms/cm<sup>2</sup>]の濃度(P)をイオン打込み法で導入して、図4に示すように、ソース領域及びドレイン領域である一対のn型不純物拡散領域5を形成する。

【0032】次に、前記ゲート電極4上を含むp型半導体基板1上の全面にシリコン酸化膜をCVD法で形成し、その後、前記シリコン酸化膜に異方性エッチングを施して、前記ゲート電極4の側面を覆うサイドウォールスペーサ6を形成する。

【0033】次に、前記サイドウォールスペーサ6及びゲート電極4を不純物導入用マスクとして使用し、前記p型半導体基板1の素子形成領域の表面部にn型不純物として例えば5×10<sup>13</sup> [atoms/cm<sup>2</sup>]の濃度(As)をエネルギー量60 [KeV]の条件下においてイオン打込み法で導入して、図5に示すように、ソース領域及びドレイン領域である一対のn型不純物拡散領域7を形成する。

【0034】次に、瞬間熱処理装置を使用し、950 [°C]の窒素雰囲気中で約1分間の熱処理を施す。この工程において、ゲート電極4中の窒素がゲート電極4の周囲に拡散し、この窒素の拡散により、図6に示すように、ゲート電極4とゲート酸化絶縁膜3との間に窒化物層8が形成された。また、窒素の拡散により、熱処理前に250 [μΩ・cm]であったゲート電極4の抵抗が、同一のスパッタ装置で形成したタングステンと同程度の抵抗である13 [μΩ・cm]まで減少した。即ち、

ゲート電極4をタングステン窒化膜で形成することにより、ゲート電極4と絶縁膜との間に窒化物層8を自己整合的に形成することができる。この工程においてMOSFETQがほぼ完成する。

【0035】次に、図7に示すように、前記ゲート電極4の表面上を含む型半導体基板1上の全面に層間絶縁膜10をCVD法で形成する。

【0036】次に、前記層間絶縁膜10に接続孔11A、11B等を形成し、その後、配線12を形成し、その後、パッシベーション膜13を形成することにより、MOSFETを有する半導体装置がほぼ完成する。

【0037】前述のタングステン窒化物を原材料としたゲート電極を持つMOSFETQの特性を、従来用いられてきた多結晶シリコンゲート電極を持つMOSFETと、多結晶シリコンの上にタングステンシリサイドを重ねたゲート電極（この構造はポリサイドゲートと呼ばれる）を持つMOSFETと比較した。比較のためのMOSFETでは、それぞれのゲート電極構造につき、多結晶シリコンの膜厚が75 [nm]、100 [nm]、そして150 [nm]の素子を作製した。なお、これらの多結晶シリコンには、 $\text{POCl}_3$ を拡散源とした熱処理により磷(P)を含有させた。また、これらの素子の作製では、ゲート電極関連工程以外は前述のタングステン窒化物を用いたゲート電極を持つMOSFETQと全く同じプロセス条件とした。

【0038】これらのMOSFETについてゲート酸化膜の絶縁耐圧を測定した。測定した素子はチャンネル長が0.2 [μm]と1 [μm]のMOSFET及び1 [mm]の面積を持つMOSキャパシタである。これらのキャパシタンス(C)-電圧(V)特性よりゲート絶縁膜の膜厚を求めた。この測定では、熱酸化により形成したシリコン酸化膜の膜厚は10 [nm]であったにもかかわらず、多結晶シリコンゲート電極の場合は7.3 [nm]であり、タングステンシリサイド/多結晶シリコン重ね構造ゲート電極では9.1 [nm]と薄い値が得られた。これに対して、タングステン窒化膜をゲート電極とした素子では、ゲート酸化膜厚は形成膜厚とほぼ同じ9.9 [nm]が得られた。

【0039】また、これらのゲート酸化膜の絶縁耐圧を測定し、前述のC-V測定から求められたゲート酸化膜の膜厚を用いて絶縁界電強度を求めた。この界電強度は、多結晶シリコンゲート電極を持つ素子とタングステンシリサイド/多結晶シリコンゲート電極を持つ素子ともに、多結晶シリコン膜厚に関係なく約9 [MV/cm]を示した。これに対して、タングステン窒化膜を用いた素子では、約10 [MV/cm]の界電強度を示した。タングステン窒化膜でゲート電極を形成した素子において界電強度が高くなるのは、多結晶シリコンより仕事関数が高いことによる。即ち、ここで、測定した絶縁耐圧は絶縁膜のリーク電流が10 [nA]なる印可電圧

としているため、仕事関数が高いぶんだけ同じリーク電流（フォロワーノードハイム電流）に達する電圧が高くなることに起因している。

【0040】以上の結果は、多結晶シリコンに含有させた磷がゲート酸化膜内に拡散し、絶縁膜内で界面近傍に高濃度の磷含有領域が形成され、実効的なゲート酸化膜厚が薄くなったことを示している。また、多結晶シリコンにタングステンシリサイドを重ねた構造で、多結晶シリコンのみの場合より膜厚が厚くなるのは、タングステンシリサイド中の磷の拡散速度がシリコン酸化膜より速いため多結晶シリコン中に含有させておいた多量の磷がタングステンシリサイド中に拡散し、下地のゲート酸化膜中に拡散する量が少なくなったことによる。

【0041】以上の測定結果で明らかになったように、多結晶シリコンを構成要素とするゲート電極では、それに含まれておいた磷などの不純物が実効ゲート酸化膜厚を薄くするなどの欠点を有するが、タングステン窒化膜を用いたゲート電極では不純物によるゲート酸化膜の実効膜厚の減少は生じないことがわかった。

【0042】なお、多結晶シリコンからなるゲート電極を持つMOSFETでは、素子完成後の100 [°C]程度の熱処理でも、多結晶シリコン中の含有磷に起因したゲート絶縁膜のリーク電流の増大がみられることが報告（T-S. Yeh, N. R. Kamat, R. S. Nair and S-J. Hu, GateOxide Breakdown Model in MOS Transistors, Proceedings of 1995 International Reliability Physics Symposium, pp.149-155, 1995）されているが、本実施形態によるタングステン窒化膜を用いたゲート電極を持つMOSFETでは、完成後の低温熱処理によるゲート絶縁膜のリーク電流増大は観察されなかった。

【0043】本実施形態では、タングステン窒化膜のゲート電極加工時に、ゲート電極の周辺のゲート酸化膜3に導入された汚染や損傷を除去するための清浄化工程を加えていない。通常の多結晶シリコンゲートプロセスでは、ゲート電極に加工後、ゲート電極周辺のゲート酸化膜を一旦除去し、露出したシリコン基板表面を酸素雰囲気中で再度酸化して、清浄な酸化膜を形成する方法が用いられている。しかし、タングステンやタングステン窒化膜は酸素雰囲気に対する耐性が低いため、酸素雰囲気からさらすことが難しい。しかし、水素ガスに微量の水を添加した雰囲気ではタングステンを酸化させないで、シリコンを選択的に酸化することができる。即ち、タングステン平衡蒸気圧曲線（水分によるタングステンの酸化と水素によるタングステン化合物の還元反応が平衡する水分添加量と温度の関係）と、同様に熱力学的に求められるシリコンの酸化還元平衡蒸気圧曲線と囲まれる範囲内の水分を添加した雰囲気中で熱処理することにより、シリコンの選択酸化が可能となる。

【0044】タングステン膜でゲート電極を形成したMOSFETに前述の熱処理を施した場合、熱処理中にゲ

ート電極下のゲート酸化膜の厚さが厚くなると言う問題があった。これに対して、本発明のタングステン窒化膜を形成し、熱処理してタングステン窒化膜をタングステン化した場合は、離脱した窒素がゲート電極下のゲート酸化膜界面を窒化するため、前述の水素雰囲気中で熱処理しても水分がゲート酸化膜を通してシリコン基板まで到達しない。このため本発明の場合、熱処理によるゲート酸化膜の膜厚を増加させることなく、ゲート電極周辺のシリコン基板を選択的に再酸化して清浄なシリコン酸化膜を形成することができる。

【0045】なお、前述のシリコンの選択酸化は、アルゴンなどの不活性ガスや窒素ガスをベースとした雰囲気、水素、一酸化炭素等の還元性ガス及び酸素、水分（水蒸気）、重窒素酸、二酸化炭素等の酸化性ガスを添加して熱処理を行う場合においても可能である。

【0046】（実施形態2）前述の実施形態1は、単純なMOSFETを有する半導体装置について説明したが、本実施形態2では、情報を電氣的に書き込み及び消去できる不揮発性記憶素子（MOS型不揮発性記憶素子）を有する半導体装置について説明する。

【0047】図8は、本発明の実施形態2である不揮発性記憶素子を有する半導体装置の要部断面図である。

【0048】図8に示すように、本実施形態の半導体装置は、例えば単結晶シリコンからなるp型半導体基板1を主体に構成されている。このp型半導体基板1の素子形成領域の表面上には不揮発性記憶素子Qeが構成されている。素子形成領域は、p型半導体基板1の素子分離領域の表面に形成されたフィールド絶縁膜2で周囲を規定され、他の活性領域と電氣的に分離されている。

【0049】前記不揮発性記憶素子Qeは、主に、チャネル形成領域であるp型半導体基板1、トンネル用ゲート絶縁膜であるゲート酸化膜3、浮遊ゲート電極21、層間絶縁膜である層間酸化膜22、制御ゲート電極23、ソース領域及びドレイン領域である一対のn型不純物拡散領域24及び一対のn型不純物拡散領域26で構成されている。

【0050】前記ゲート酸化膜3は、p型半導体基板1の素子形成領域の表面を酸化して形成されたシリコン酸化膜で形成されている。このゲート酸化膜3と浮遊ゲート電極21との間には窒化物層8が形成されている。

【0051】前記浮遊ゲート電極21は、p型半導体基板1の素子形成領域上にゲート酸化膜3を介して形成されている。前記制御ゲート電極23は、浮遊ゲート電極21の表面上に層間酸化膜22を介して形成されている。

【0052】前記浮遊ゲート電極21と層間酸化膜22との間には窒化物層8が形成されている。また、前記制御ゲート電極23と層間酸化膜22との間には窒化物層8が形成されている。

【0053】前記浮遊ゲート電極21、制御ゲート電極

22の夫々は、後で詳細に説明するが、p型半導体基板1の素子形成領域の表面上に第1のタングステン窒化膜を形成し、その後、前記第1のタングステン窒化膜の表面上に層間酸化膜22を形成し、その後、前記層間酸化膜22の表面上に第2のタングステン窒化膜を形成し、その後、前記第1のタングステン窒化膜、層間酸化膜22、第1のタングステン窒化膜の夫々に順次パターンニングを施し、その後、熱処理を施すことにより形成される。

【0054】前記ソース領域及びドレイン領域である一対のn型不純物拡散領域24及び一対のn型不純物拡散領域26は、p型半導体基板1の素子形成領域の表面部に形成されている。一対のn型不純物拡散領域24の夫々は、制御ゲート電極23に対して自己整合で形成されている。一対のn型不純物拡散領域26の夫々は、浮遊ゲート電極24、制御ゲート電極26の夫々の側壁面を覆うサイドウォールスペーサ25に対して自己整合で形成されている。一対のn型不純物拡散領域26の夫々は、n型不純物拡散領域24に比べて高い不純物濃度で形成されている。

【0055】前記サイドウォールスペーサ25は、制御ゲート電極23上を含むp型半導体基板1上の全面にシリコン酸化膜を形成した後、前記シリコン酸化膜に異方性エッチングを施すことにより形成される。このサイドウォールスペーサ25と浮遊ゲート電極21の側壁面との間には窒化物層8が形成されている。また、サイドウォールスペーサ25と制御ゲート電極23の側壁面との間には窒化物層8が形成されている。

【0056】前記ソース領域及びドレイン領域である一対のn型不純物拡散領域26のうち、一方のn型不純物拡散領域26には層間絶縁膜10に形成された接続孔11Aを通して配線12が電氣的に接続され、他方のn型不純物拡散領域26には層間絶縁膜10に形成された接続孔11Bを通して配線12が電氣的に接続されている。配線12は、層間絶縁膜10上に形成されたパッシベーション膜13で覆われている。

【0057】次に、前記不揮発性記憶素子Qeを有する半導体装置の製造方法について、図9乃至図13（製造方法を説明するための要部断面図）を用いて説明する。

【0058】まず、単結晶シリコンからなるp型半導体基板1を用意する。

【0059】次に、前記p型半導体基板1の素子分離領域の表面に周知の選択酸化法を用いてシリコン酸化膜からなるフィールド絶縁膜2を形成する。

【0060】次に、酸化処理を施し、前記p型半導体基板1の素子形成領域の表面上に厚さ10[nm]のシリコン酸化膜からなるトンネル用ゲート酸化膜3を形成する。

【0061】次に、図2に示すように、前記ゲート酸化膜3の表面上を含むp型半導体基板1上の全面に、厚さ

50 [nm] のタングステン窒化膜 2 1 A、厚さ 30 [nm] のシリコン酸化膜からなる層間酸化膜 2 2、厚さ 100 [nm] のタングステン窒化膜 2 3 A を順次形成する。タングステン窒化膜 2 1 A、2 3 A の夫々は、前述の実施形態 1 と同様のスパッタ法で形成される。層間酸化膜 2 2 は CVD 法で形成される。

【0062】次に、i 線を用いた光フォトリソグラフィ技術と S F<sub>6</sub> などのガスを用いたドライエッチング技術を用いて、前記タングステン窒化膜 2 3 A、層間酸化膜 2 2、タングステン窒化膜 2 1 A の夫々に順次パターンニングを施し、タングステン窒化膜 2 3 A からなる制御ゲート電極 2 3、タングステン窒化膜 2 1 A からなる浮遊ゲート電極 2 1 の夫々を形成する。

【0063】次に、前記制御ゲート電極 2 3 を不純物導入用マスクとして使用し、前記 p 型半導体基板 1 の素子形成領域の表面部に n 型不純物として例えば  $5 \times 10^{14}$  [atoms/cm<sup>2</sup>] の磷 (P) をエネルギー量 30 [KeV] の条件下においてイオン打込み法で導入して、図 10 に示すように、ソース領域及びドレイン領域である一対の n 型半導体領域 2 4 を形成する。

【0064】次に、図 11 に示すように、前記制御ゲート電極 2 3 上を含む p 型半導体基板 1 上の全面に、厚さ 100 [nm] のシリコン酸化膜 2 5 A を CVD 法で形成する。

【0065】次に、瞬間熱処理装置を使用し、900 [°C] の窒素雰囲気中で約 1 分間の熱処理を施す。この工程において、浮遊ゲート電極 2 1 中の窒素が浮遊ゲート電極 2 1 の周囲に拡散し、この窒素の拡散により、図 12 に示すように、浮遊ゲート電極 2 1 とゲート酸化膜 3 との間に窒化物層 8 が形成され、浮遊ゲート電極 2 1 と層間酸化膜 2 2 との間に窒化物層 8 が形成され、浮遊ゲート電極 2 1 の側壁面と酸化珪素膜 2 5 A との間に窒化物層 8 が形成された。また、この工程において、制御ゲート電極 2 3 中の窒素が制御ゲート電極 2 3 の周囲に拡散し、この窒素の拡散により、浮遊ゲート電極 2 1 と層間酸化膜 2 2 との間に窒化物層 8 が形成され、制御ゲート電極 2 3 の側壁面及び上面と酸化珪素膜 2 5 A との間に窒化物層 8 が形成された。また、これらの窒素の拡散により、浮遊ゲート電極 2 1、制御ゲート電極 2 3 の夫々の金属層は、窒素をほとんど含まないタングステン膜に変わった。即ち、浮遊ゲート電極 2 1、制御ゲート電極 2 3 の夫々をタングステン窒化膜で形成することにより、これらの電極と絶縁膜との間に窒化物層 8 を自己整合的に形成することができる。

【0066】次に、前記シリコン酸化膜 2 5 A に異方性エッチングを施し、図 13 に示すように、前記浮遊ゲート電極 2 1、層間酸化膜 2 2、制御ゲート電極 2 3 の夫々の側壁面を覆うサイドウォールスペーサ 2 5 を形成する。

【0067】次に、前記サイドウォールスペーサ 2 5 及

び制御ゲート電極 2 3 を不純物導入用マスクとして使用し、前記 p 型半導体基板 1 の素子形成領域の表面部に n 型不純物として例えば  $5 \times 10^{14}$  [atoms/cm<sup>2</sup>] の砒素 (As) をエネルギー量 60 [KeV] の条件下においてイオン打込み法で導入して、ソース領域及びドレイン領域である一対の n 型不純物拡散領域 1 6 を形成する。この工程において不揮発性記憶素子 Q e がほぼ完成する。

【0068】次に、図 14 に示すように、前記制御ゲート電極 2 3 の表面上を含む p 型半導体基板 1 上の全面に層間絶縁膜 10 を CVD 法で形成する。

【0069】次に、前記層間絶縁膜 10 に接続孔 11 A、11 B 等を形成し、その後、配線 12 を形成し、その後、パッシベーション膜 13 を形成することにより、不揮発性記憶素子 Q e を有する半導体装置がほぼ完成する。

【0070】本実施形態の製造方法を用いて作製された不揮発性記憶素子 (MOS 型メモリ素子) の特性を評価するため、スパッタ法で本実施形態のタングステン窒化膜と同じ厚さのタングステン膜を被着し、浮遊ゲート電極及び制御ゲート電極とした素子を作製した。また、前述の浮遊ゲート電極および制御ゲート電極として従来用いられてきたものと同様に多結晶シリコンを用いた素子を作製した。この際、浮遊ゲート電極の多結晶シリコンにイオン打ち込み技術で  $1 \times 10^{14}$  /cm<sup>2</sup> の [atoms/cm<sup>2</sup>] の磷を打ち込み、また制御ゲート電極の多結晶シリコンには  $5 \times 10^{15}$  [atoms/cm<sup>2</sup>] の磷を打ち込んだ。

また、これらの多結晶シリコンを用いた素子では、浮遊ゲート電極下のゲート酸化膜を熱酸化だけで形成した場合と、熱酸化で形成した後 N<sub>2</sub>O 雰囲気中で熱処理した場合の 2 種類の素子を作製した。そして浮遊ゲート電極と制御ゲート電極との間の層間絶縁膜は、浮遊ゲート電極層の多結晶シリコン膜を形成後その表面を酸化し、続いて CVD 法でシリコン酸化膜を形成し、さらにその上にはやはり CVD 法でシリコン酸化膜を形成し、かつこれらのシリコン酸化膜—シリコン窒化膜—シリコン酸化膜 (O—N—O と呼ぶ) の総合膜厚が 30 [nm] になるように調整した。また O—N—O 層間膜のかわりに 30 [nm] のシリコン酸化膜を用いた素子も作製した。

【0071】まず、本実施形態における素子構造を分析するために、層の縦方向の重なりがタングステン窒化膜を浮遊ゲート電極および制御ゲート電極に用いた不揮発性記憶素子と同じ構造になるように各層を重ね、ゲート電極などのパターンに加工をしないで、かつ素子作製と同じ熱処理を施した試料を作製した。オーフェン電子分光分析装置で試料の深さ方向の窒素の分布を測定した。シリコン基板および浮遊ゲート電極との界面近傍のトンネルゲート酸化膜内に窒素の高濃度域が観測され、また浮遊ゲート電極と制御ゲート電極層の間のシリコン酸化膜内で各電極層との界面近傍に窒素の高濃度域が存在

することがわかった。一方、各タングステン窒化膜層内では、熱処理前の試料と比較して、大幅に窒素が減少し、ほとんどタングステンだけしか観察されなかった。この分析用試料につき、上の層からエッチング液を用いて順次化学的に除去し、各層の界面近傍のシリコン酸化膜内でのシリコンおよび窒素ならびに酸素元素の結合状態をX線光電子分光(XPS: X-ray Photoelectron Spectroscopy)装置で測定した。X線を照射したとき試料から放出されるN1s光電子およびSi2p光電子のエネルギースペクトルを分析したところ、各ゲート電極層と接触していたシリコン酸化膜層の界面領域では、396.96 [eV]と397.85 [eV]にピークを持つスペクトルの合成スペクトルであるN1sピークが観察された。前者のピークはSi<sub>3</sub>N<sub>4</sub>結合のとき観測される397.0 [eV]にピークを持つN1sスペクトルと一致している。後者の397.85 [eV]にピークを持つN1sピークは、窒素が2個のシリコン原子と1個の酸素原子と結合している場合に観察されるピークとほぼ一致している。N1sスペクトルをピーク分離した場合に得られるこれらの二つのピークはシリコン酸化膜内になるとともに減少し、特にSi<sub>3</sub>N<sub>4</sub>結合を示す397.0 [eV]に近いピークは急激に減少することがわかった。なお、浮遊ゲート電極および制御ゲート電極にタングステンをを用いた場合はシリコン酸化膜内からはN1s光電子は検出されなかった。

【0072】以上の分析結果より、タングステン窒化物中の窒素は熱処理によりシリコン酸化膜を窒化するために消費され、界面で酸化窒化シリコン層が形成されることがわかった。また、分析結果より後には窒素をほとんど含まないタングステン層が形成されることがわかった。なお、シリコン基板界面近傍のトンネルゲート酸化膜内は、やはり窒素および酸素と結合したシリコン化合物が存在することがわかった。

【0073】この界面近傍のシリコン化合物は、多結晶シリコンを浮遊ゲート電極に用いた素子においてシリコンを酸化後、N<sub>2</sub>O 雰囲気中で熱処理されたトンネルゲート酸化膜とほぼ同じ化学状態であった。

【0074】不揮発性記憶素子に電子注入して情報の書き込みと読み出しを行うことを想定し、フォロワーノードハイム電流-電圧特性を利用してトンネルゲート酸化膜への電子注入を行った。注入電荷量を1.5 [C/cm<sup>2</sup>]まで変化させたとき、各注入電荷量とMOS界面に発生する界面準位の注入前後の変化量との関係を各ゲート電極構造について測定した。いづれの構造の素子でも注入電荷量が約2 [C/cm<sup>2</sup>]になるまでは注入量に依存して界面準位変化量が増大するが、それ以上では変化量は飽和して注入量に依存しないことがわかった。この飽和量はゲート電極およびトンネルゲート酸化膜の酸化状態に強く依存する。すなわち、N<sub>2</sub>O 熱処理をしないトンネルゲート酸化膜を用いた多結晶シリコンを用

極素子では、その変化量は $1.3 \times 10^{12}$  [eV·cm<sup>2</sup>]であり、またタングステンをゲート電極に用いた場合は $1.6 \times 10^{13}$  [eV·cm<sup>2</sup>]であった。一方、多結晶シリコンゲート電極を用い、かつトンネルゲート酸化膜をN<sub>2</sub>O 雰囲気中で熱処理した素子では、電子注入による界面準位の増加量は $4.1 \times 10^{10}$  [eV·cm<sup>2</sup>]で、熱処理を加えない場合より約1/4と少なかった。タングステン窒化膜を用いた素子では多結晶シリコンゲート電極素子よりさらに電子注入後の表面準位増加量を少なくでき、タングステンをを用いた場合の約1/10にあたる $1.3 \times 10^{11}$  [eV·cm<sup>2</sup>]まで低減できた。

【0075】不揮発性記憶素子への情報書き込み方法は、前述のフォロワーノードハイム電流を利用する方法とトランジスタのチャンネル領域を流れる電子に高電界を加え、このとき生じるトンネルゲート酸化膜へのホットキャリア注入を利用する方法がある。このため、チャンネル長が0.7 [μm]で24 [μm]のチャンネル幅を有する不揮発性記憶素子に電源電圧を一定とし、基板電流が最大になる条件の電圧を制御ゲート電極に印加し、酸化膜中にホットキャリア注入を行った。これらのストレス電圧を継続的に印加し、各時間ごとの不揮発性記憶素子の相互コンダクタンスの変化量を測定した。多結晶シリコンゲート電極で、かつ、トンネルゲート酸化膜をN<sub>2</sub>O 雰囲気中で熱処理しない素子では10000秒ストレス電圧印加時間後のストレス電圧印加前の初期状態からの変化率は約8%の値を示した。そして、タングステンをゲート電極に用いた素子ではさらに変化率が大きく、約16%を示した。これらに対して、N<sub>2</sub>O 雰囲気中で熱処理を加えた多結晶シリコンゲート電極素子では、その変化率は2%にすぎなかった。一方、タングステン窒化膜を用いた本発明の素子では、約1.5%と最も変化率が小さかった。この結果は、電荷注入により表面準位が変化する量は、相互コンダクタンスの変化率と対応関係があることがすでに知られており、したがって、前述に示したタングステン窒化膜を用いた素子で最も電荷注入による表面準位増加率が小さいという実験結果ともよく対応している。

【0076】次に、浮遊ゲート電極界面に電荷を蓄積し、この蓄積電荷の減衰が浮遊ゲート電極と制御ゲート電極との間の絶縁膜の膜状態による違いを観察した。その結果、本実施形態のタングステン窒化膜を浮遊ゲート電極および制御ゲート電極に用いた素子が最も長く、ついで多結晶シリコンゲート電極とその層間にO-N-O膜を形成した素子が電荷保持時間が長かった。そして、タングステンを浮遊ゲート電極と制御ゲート電極に用いた素子が最も電荷保持時間が短かった。

【0077】フォロワーノードハイム電流注入による情報の書き込みと消去を繰り返す。この繰り返し回と書き込みおよび消去のためのしきい値電圧の変化の関係求めた。タングステン窒化膜および多結晶シリコンを用

い、トンネルゲート酸化膜を窒化した素子では $1 \times 10^6$ 回の書き込み、消去を繰り返してもしきい値はほとんど変化なかったが、トンネルゲート酸化膜が窒化されていない場合は、 $1 \times 10^4$ 回ないし $3 \times 10^4$ 回でしきい値の変化が顕在化した。

【0078】前述に示した各実施形態により、本発明の目的である金属と同等の低い抵抗を持ち、かつ微細加工ができ、そして安定なMOS特性が得られる素子が実現できることが明らかになった。

【0079】なお、これらの実施形態ではタングステン窒化膜を用いたが、この他に、モリブデン、クロム、タンタル、ニオブ、バナジウムなどの高融点金属からなる窒化物を用いることによって本発明の目的を達成できた。また、これらの金属窒化物にシリコン、アルミニウムあるいはチタンなどのIII族もしくはIV族元素を微量添加した場合も本発明の目的を実現できた。ただし、チタン、ジルコニウムあるいはハフニウムなどのように安定な窒化物を形成する高融点金属窒化物だけでゲート電極を構成した場合は、本発明の目的を達成するのが難しかった。

【0080】本実施形態では、浮遊ゲート電極と制御ゲート電極を同じ金属の窒化膜で構成したが、お互いに異なる金属の窒化膜で構成しても本発明の目的を達成できた。また、これらの一方のゲート電極だけを金属窒化膜とした場合でも、従来の多結晶シリコンゲート電極の不純物により生じたリーク電流の問題を大幅に低減できることも確認した。

【0081】また、前述のいずれの実施形態においても、金属窒化膜のゲート電極層への応用について述べたが、シリコン単結晶基板へのコンタクト電極としても本発明の金属窒化膜層を応用できる。実際、インバータ回路のゲート電極に本発明を応用したところ、金属窒化膜ゲート電極層とシリコン基板が直接接触する個所では、熱処理により界面に金属、シリコンそして窒素の極薄い化合物が形成され、金属とシリコン反応が抑制され、シリサイド形成過程で生じる膜剥がれのような問題を生じることにはなかった。そして、金属窒化物層とシリコン基板が直接接触する個所では、アルミニウム電極配線と得られる値と同等の良好なコンタクト抵抗を得ることができた。これはタングステンなどの金属をゲート電極層として用いた場合、シリコン基板と直接接触する個所で、膜剥離や高コンタクト抵抗などの問題が生じると比べると大きな利点である。MOS特性の高安定性およびシリコン層との直接接触が可能であること、そのうえに低抵抗であることなどの利点を考慮にいれると、本発明による金属窒化膜ゲート電極は従来多結晶シリコンが用いられてきた部分に置き換えることができることがわかる。

【0082】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、

前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

#### 【0083】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0084】本発明によれば、従来広く用いられてきた多結晶シリコンゲート電極の欠点である燐などの含有不純物のゲート酸化膜への拡散の問題がないため、不純物に起因した絶縁膜耐圧などの電気特性不良が少なく、安定したMOS特性を持つ半導体装置を実現できる。

【0085】また、金属窒化膜中の窒素によるゲート電極周囲絶縁層の窒化は、不揮発性記憶素子において、情報の書き込み、読み出し、あるいは消去のくりかえしによるしきい値電圧の変動が少なく、かつ、情報である電荷の保持特性、MOS界面特性の安定化に効果がある。

【0086】また、金属窒化物は熱処理によりゲート電極周囲の絶縁膜に窒素を供給した後、高融点金属のゲート電極に変わるため、低抵抗のゲート電極配線を実現できる。また、ゲート電極は単層であるためシリサイド/多結晶シリコンあるいは高融点金属/反応防止層/多結晶シリコンなど、異種材料の重ね構造に起因した微細加工上の問題がない。また単層であるため、ゲート電極層を薄くでき、微細化にともなうアスペクト比の増大が他の重ね構造のゲート電極より少なくなるため、この点からも微細配線加工に有利である。

#### 【図面の簡単な説明】

【図1】本発明の実施形態1であるMOSFETを有する半導体装置の要部断面図である。

【図2】前記半導体装置の製造方法を説明するための断面図である。

【図3】前記半導体装置の製造方法を説明するための断面図である。

【図4】前記半導体装置の製造方法を説明するための断面図である。

【図5】前記半導体装置の製造方法を説明するための断面図である。

【図6】前記半導体装置の製造方法を説明するための断面図である。

【図7】前記半導体装置の製造方法を説明するための断面図である。

【図8】本発明の実施形態2である不揮発性記憶素子を有する半導体装置の要部断面図である。

【図9】前記半導体装置の製造方法を説明するための断面図である。

【図10】前記半導体装置の製造方法を説明するための断面図である。

【図11】前記半導体装置の製造方法を説明するための断面図である。

【図 1 2】前記半導体装置の製造方法を説明するための断面図である。

【図 1 3】前記半導体装置の製造方法を説明するための断面図である。

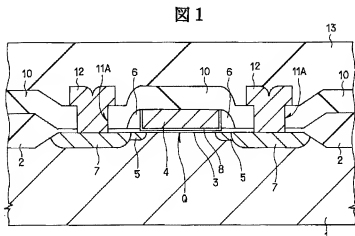
【図 1 4】前記半導体装置の製造方法を説明するための断面図である。

【符号の説明】

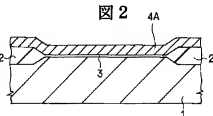
1…p型半導体基板、2…フィールド絶縁膜、3…ゲート酸化膜、4…ゲート電極、4A…タングステン変化

膜、5…n型不純物拡散領域、6…サイドウォールスペーサ、7…n型不純物拡散領域、8…窒化物層、10…層間絶縁膜、11A、11B…接続孔、12…配線、13…パッシベーション膜、15…レジストパターン、21…浮遊ゲート電極、21A、23A…タングステン窒化膜、22…層間酸化膜、23…制御ゲート電極、24…n型不純物拡散領域、25…サイドウォールスペーサ、25A…酸化珪素膜、26…n型不純物拡散領域。  
Q…MOSFET、Qe…揮発性記憶素子。

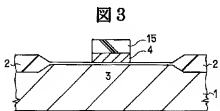
【図 1】



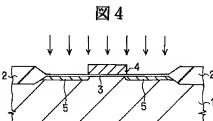
【図 2】



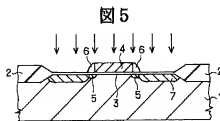
【図 3】



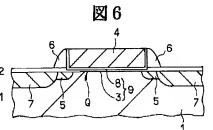
【図 4】



【図 5】



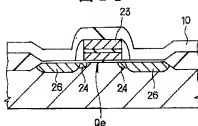
【図 6】





【図 1 4】

図 1 4



フロントページの続き

(51) Int. Cl.<sup>6</sup>

識別記号

F I

H O I L 29/792